

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323354
 (43)Date of publication of application : 24.11.2000

(51)Int.CI. H01G 4/30
 H01G 4/12

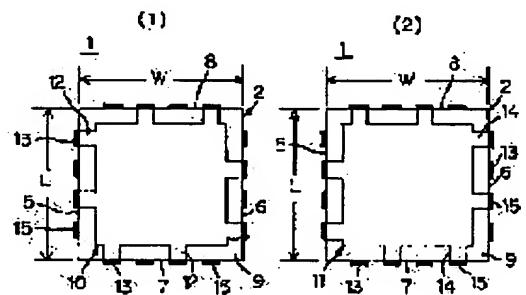
(21)Application number : 11-127908 (71)Applicant : MURATA MFG CO LTD
 (22)Date of filing : 10.05.1999 (72)Inventor : KURODA TAKAKAZU
 NAITO YASUYUKI
 TANIGUCHI MASAAKI
 Hori HARUO
 KONDO TAKANORI

(54) LAMINATED CAPACITOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the equivalent series impedance of a laminated capacitor.

SOLUTION: While the sizes L and W of the main body 2 of a laminated capacitor in the lengthwise and widthwise directions are made substantially equal to each other, the patterns of first and second internal electrodes 10 and 11 which are faced to each other are formed in substantially square shapes. The first lead-out sections 12 of the first electrode 10 and the second lead-out sections 14 of the second electrode 11 are formed so that the sections 12 and 14 may be exposed on two side faces 5 and 6 and two end faces 7 and 8 of the main body 2. First external terminal electrodes 13 connected to the first lead-out sections 12 and second external terminal electrodes 15 connected to the second lead-out sections 14 are alternately arranged on the side faces 5 and 6 and end faces 7 and 8, so that the electrodes 13 and 15 may be faced oppositely to each other through the main body 2 on the front side.



LEGAL STATUS

[Date of request for examination] 19.01.2000
 [Date of sending the examiner's decision of rejection] 02.07.2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3476127
 [Date of registration] 26.09.2003
 [Number of appeal against examiner's decision of rejection] 2002-14220
 [Date of requesting appeal against examiner's

*** NOTICES ***

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is specified with the die-length direction dimension, a crosswise dimension, and the thickness direction dimension. Said die-length direction dimension and said crosswise dimension substantially [equal] The 1st and 2nd principal planes which are making the shape of the square pole and are specified with said die-length direction dimension and said crosswise dimension and which carry out phase opposite, The 1st and 2nd side faces which are specified with said die-length direction dimension and said thickness direction dimension and which carry out phase opposite, It has the body of a capacitor which has the 1st and 2nd end faces which are specified with said crosswise dimension and said thickness direction dimension, and which carry out phase opposite. And said body of a capacitor It has at least one pair of 1st and 2nd internal electrodes which counter mutually through said specific dielectric layer so that two or more dielectric layers prolonged in the direction of said principal plane and a capacitor unit may be formed. Said 1st and 2nd internal electrodes both have the side which extends in parallel to each of said 1st and 2nd side faces of said body of a capacitor, and the 1st and 2nd end faces. It has a square pattern substantially, respectively. Said 1st internal electrode The 1st cash-drawer section of said 1st and 2nd side faces and the 1st and 2nd end faces pulled out even upwards, respectively is formed respectively. Said 1st and 2nd side faces in which said 1st cash-drawer section was pulled out, and the 1st and 2nd end faces respectively upwards The 1st external terminal electrode electrically connected to said 1st cash-drawer section, respectively is prepared. Said 2nd internal electrode The 2nd cash-drawer section of said 1st and 2nd side faces and the 1st and 2nd end faces pulled out even upwards, respectively is formed respectively. Said 1st and 2nd side faces in which said 2nd cash-drawer section was pulled out, and the 1st and the 2nd end face respectively upwards The 2nd external terminal electrode electrically connected to said 2nd cash-drawer section, respectively is prepared. Said 1st external terminal electrode and said 2nd external terminal electrode The multilayer capacitor arranged so that so-called difference may counter mutually through said body of a capacitor at the front while standing in a line by turns on the said 1st and 2nd side-faces, 1st, and 2nd end faces.

[Claim 2] The multilayer capacitor of the publication of claim 1 respectively equipped with the said 1st [two or more] and 2nd cash-drawer sections, said 1st, and 2nd external terminal electrodes about each of said 1st and 2nd side faces and the 1st and 2nd end faces.

[Claim 3] The multilayer capacitor of the publication of claim 1 respectively equipped with the said four or less 1st and 2nd cash-drawer sections, said 1st, and 2nd external terminal electrodes about each of said 1st and 2nd side faces and the 1st and 2nd end faces.

[Claim 4] It is the multilayer capacitor according to claim 1 to 3 with which the number of the parts of said 1st internal electrode and said 2nd internal electrode which counter is made into plurality so that said two or more capacitor units by which parallel connection was carried out with said 1st and 2nd external terminal electrodes may be formed.

[Translation done.]

*** NOTICES ***

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the multilayer capacitor which may be especially applied advantageously in a high frequency circuit about a multilayer capacitor.

[0002]

[Description of the Prior Art] There are some which were indicated by JP,2-256216,A as a conventional multilayer capacitor interesting for this invention. Reduction-ization of an equivalence serial inductance (ESL) is attained so that the multilayer capacitor indicated here may fit use in a RF region.

[0003] Therefore, two or more cash-drawer sections of two side faces which counters mutually through a specific dielectric layer and in which, as for two or more 1st and 2nd internal electrodes, the body of a capacitor carries out phase opposite, respectively pulled out even upwards on the other hand at least are formed, and an external terminal electrode is prepared in relation to each cash-drawer section. And these external terminal electrode is arranged so that two or more 2nd external terminal electrodes connected to two or more cash-drawer sections of two or more the 1st external terminal electrode and 2nd internal electrode which are connected to two or more cash-drawer sections of the 1st internal electrode on the side face of the body of a capacitor, respectively may be located by turns.

[0004] Although induction of the magnetic flux it is decided in the direction of this current that that direction will be will be carried out, therefore a self-inductance component will arise in such a configuration if a current flows toward each of the 2nd external terminal electrode from each of the 1st external terminal electrode As mentioned above, in the part which the 1st external terminal electrode and the 2nd external terminal electrode adjoin, since the 1st external terminal electrode and the 2nd external terminal electrode are arranged by turns, since the magnetic flux in which induction is carried out by the current is offset advantageously, it can reduce generating of magnetic flux. Consequently, reduction of ESL can be aimed at.

[0005]

[Problem(s) to be Solved by the Invention] However, since any external terminal electrode is not located on two end faces in which the body of a capacitor carries out phase opposite, [near / each / these two end faces], counter acting effect of magnetic flux cannot be expected substantially, but it has become the hindrance of much more reduction of ESL.

[0006] Then, the purpose of this invention is offering the multilayer capacitor improved so that low ESL-ization could be attained more effectively.

[0007]

[Means for Solving the Problem] This invention is characterized by having the following configurations in order to solve an above-mentioned technical technical problem.

[0008] Namely, the multilayer capacitor concerning this invention As a body of a capacitor, it is specified with the die-length direction dimension, a crosswise dimension, and the thickness direction dimension. And the die-length direction dimension and the crosswise dimension are making the shape of the equal square pole substantially. The 1st and 2nd principal planes which are specified with the die-length direction dimension and a crosswise dimension and which carry out phase opposite, It has what has the 1st and 2nd end faces which are specified with the 1st and 2nd side faces which are specified with the die-length direction dimension and the thickness direction dimension, and which carry out phase opposite, a crosswise dimension, and the thickness direction dimension, and which carry out phase opposite.

[0009] Moreover, this body of a capacitor is equipped with at least one pair of 1st and 2nd internal electrodes which counter mutually through a specific dielectric layer so that two or more dielectric layers prolonged in the direction of a principal plane and a capacitor unit may be formed. These 1st and 2nd

internal electrodes have the square pattern, respectively on the real target which both has the side which extends in parallel to each of the 1st and 2nd side faces of the body of a capacitor, and the 1st and 2nd end faces.

[0010] Moreover, respectively, the 1st cash-drawer section of the 1st and 2nd side faces and the 1st and 2nd end faces pulled out even upwards, respectively is formed, and, as for the 1st internal electrode, the 1st external terminal electrode of the 1st and 2nd side faces in which the 1st cash-drawer section was pulled out, and the 1st and 2nd end faces connected electrically upwards at the 1st cash-drawer section, respectively is prepared.

[0011] On the other hand, respectively, the 2nd cash-drawer section of the 1st and 2nd side faces and the 1st and 2nd end faces pulled out even upwards, respectively is formed, and, as for the 2nd internal electrode, the 2nd external terminal electrode of the 1st and 2nd side faces in which the 2nd cash-drawer section was pulled out, and the 1st and the 2nd end face connected electrically upwards at the 2nd cash-drawer section, respectively is prepared.

[0012] And the 1st external terminal electrode and the 2nd external terminal electrode are arranged so that so-called difference may counter mutually through the body of a capacitor at the front, while standing in a line by turns on the 1st and 2nd side-faces, 1st, and 2nd end faces.

[0013] In this invention, it is desirable to have the two or more 1st and 2nd cash-drawer sections, 1st, and 2nd external terminal electrodes respectively about each of the 1st and 2nd side faces and the 1st and 2nd end faces.

[0014] Moreover, in this invention, it is more desirable to have the four or less (sum total) 1st and 2nd cash-drawer sections, 1st, and 2nd external terminal electrodes respectively about each of the 1st and 2nd side faces and the 1st and 2nd end faces.

[0015] Moreover, in this invention, let the number of the parts of the 1st internal electrode and the 2nd internal electrode which counter be plurality so that you may form preferably two or more capacitor units by which parallel connection was carried out with the 1st and 2nd external terminal electrodes..

[0016]

[Embodiment of the Invention] Drawing 1 thru/or drawing 3 are for explaining the multilayer capacitor 1 by 1 operation gestalt of this invention, drawing 1 is the perspective view showing the appearance of a multilayer capacitor 1, drawing 2 is the top view in which having a specific cross section and showing the internal structure of a multilayer capacitor 1, and the cross section where (1) differs from (2) mutually is expressed in drawing 2 . Moreover, drawing 3 is the top view showing the typical path and typical direction of a current which flow in a multilayer capacitor 1 by the arrow head.

[0017] The multilayer capacitor 1 is equipped with the body 2 of a capacitor which is specified with the die-length direction dimension L, the crosswise dimension W, and the thickness direction dimension T and which makes the shape of the square pole. The body 2 of a capacitor has the 1st and 2nd end faces 7 and 8 which are specified with the 1st and 2nd side faces 5 and 6 which are specified with the 1st and 2nd principal planes 3 and 4, the die-length direction dimension L, and the thickness direction dimension T which are specified with the die-length direction dimension L and the crosswise dimension W, and which carry out phase opposite, and which carry out phase opposite, the crosswise dimension W, and the thickness direction dimension T and which carry out phase opposite.

[0018] Moreover, the body 2 of a capacitor is equipped with two or more dielectric layers 9 prolonged in the direction of principal planes 3 and 4, and at least one pair of 1st and 2nd internal electrodes 10 and 11 which counter mutually through the specific dielectric layer 9 so that a capacitor unit may be formed.

[0019] Drawing 2 (1) shows the cross section along which the 1st internal electrode 10 passes, and drawing 2 (2) shows the cross section along which the 2nd internal electrode 11 passes.

[0020] In this multilayer capacitor 1, the die-length direction dimension L of the body 2 of a capacitor and the crosswise dimension W are substantially made equal. Moreover, the 1st and 2nd internal electrodes 10 and 11 have the square pattern, respectively on the real target which both has the side which extends in parallel to each of the 1st and 2nd side faces 5 and 6 of the body 2 of a capacitor, and the 1st and 2nd end faces 7 and 8.

[0021] Moreover, as shown in drawing 2 (1), the 1st internal electrode 10 forms respectively the 1st cash-drawer section 12 of the 1st and 2nd side faces 5 and 6 and the 1st and 2nd end faces 7 and 8 pulled out even upwards, respectively.

[0022] And the 1st external terminal electrode 13 of the 1st and 2nd side faces 5 and 6 in which the 1st cash-drawer section 12 was pulled out, and the 1st and 2nd end faces 7 and 8 connected electrically upwards at the 1st cash-drawer section 12, respectively is formed respectively.

[0023] On the other hand, as shown in drawing 2 (2), the 2nd internal electrode 11 forms respectively the 2nd cash-drawer section 14 of the 1st and 2nd side faces 5 and 6 and the 1st and 2nd end faces 7 and 8 pulled out even upwards, respectively.

[0024] And the 2nd external terminal electrode 15 of the 1st and 2nd side faces 5 and 6 in which the 2nd cash-drawer section 14 was pulled out, and the 1st and 2nd end faces 7 and 8 connected electrically upwards at the 2nd cash-drawer section 14, respectively is formed respectively.

[0025] In the above multilayer capacitors 1, the description of the arrangement condition of the 1st and 2nd cash-drawer sections 12 and 14, 1st, and 2nd external terminal electrodes 13 and 15 is explained below.

[0026] First, with this operation gestalt, it has the two every 1st and 2nd cash-drawer sections 12 and 14, 1st, and 2nd external terminal electrodes 13 and 15 respectively about each of the 1st and 2nd side faces 5 and 6 and the 1st and 2nd end faces 7 and 8.

[0027] Moreover, when the body 2 of a capacitor is seen to an one direction in order of the 1st side face 5, the 1st end face 7, the 2nd side face 6, and the 2nd end face 8, The 1st cash-drawer section 12 and the 2nd cash-drawer section 14 are located in a line by turns, therefore the 1st external terminal electrode 13 and the 2nd external terminal electrode 15 are located in a line by turns on the 1st and 2nd side faces 5 and 6, the 1st and 2nd end faces 7, and 8.

[0028] Moreover, the 1st external terminal electrode 13 and the 2nd external terminal electrode 15 are arranged so that it may counter mutually through the body 2 of a capacitor at the front.

[0029] The arrangement condition of the 1st and 2nd above cash-drawer sections 12 and 14, 1st, and 2nd external terminal electrodes 13 and 15 can make the magnetic flux in which induction is carried out by the current which flows in this multilayer capacitor 1 contribute to phase murder and reduction of ESL effectively.

[0030] As shown in drawing 3 , the current is flowing toward the 1st external terminal electrode 13 from the 2nd external terminal electrode 15 at the illustrated condition or the time. In addition, in drawing 3 , black painting shows the 1st external terminal electrode 13, and void shows the 2nd external terminal electrode 15.

[0031] Although the current which is mutually suitable in parallel adjoins each other mutually so that drawing 3 may show since the arrangement condition of the 1st and 2nd external terminal electrodes 13 is chosen as mentioned above, it will flow to hard flow in between. Moreover, the current which flows between the current and the 1st and 2nd end faces 7 which flow between the 1st and 2nd side faces 5 and 6, and 8 lies at right angles mutually. Since it is such, the magnetic flux by which induction is carried out is effectively offset by each [these] current, and can attain low ESL-ization according to it.

[0032] Moreover, since the die-length direction dimension L of the body 2 of a capacitor and the crosswise dimension W are substantially equal and internal electrodes 10 and 11 have the square pattern substantially, respectively as mentioned above Speaking of the path length of the current shown in drawing 3 , the current which connects between the current and the 1st and 2nd end faces 7 which connect between the 1st and 2nd side faces 5 and 6, and 8 has equal path length of each other substantially. Thus, by equalizing substantially each path length of the current which intersects perpendicularly mutually, the counter acting effect of magnetic flux is heightened more, consequently further reduction of ESL can be aimed at.

[0033] The following experiments were conducted in order to check the reduction effectiveness of ESL by this invention that was mentioned above.

[0034] Drawing 4 thru/or drawing 7 are drawings equivalent to drawing 3 , and shows the multilayer capacitors 21-24 produced in this experiment, respectively. In drawing 4 thru/or drawing 7 , a common reference mark "25" shows the body of a capacitor, a respectively common reference mark "26" and respectively common "27" show the 1st and 2nd side faces, a respectively common reference mark "28" and respectively common "29" show the 1st and 2nd end faces, and a respectively common reference mark "30" and respectively common "31" show the 1st and 2nd external terminal electrodes.

[0035] In this experiment, the multilayer capacitors 22-24 which the multilayer capacitor 21 shown in drawing 4 requires for the operation gestalt of this invention, and were shown in drawing 5 thru/or drawing 7 are the examples of a comparison.

[0036] In the multilayer capacitor 21 shown in drawing 4 , both sides set the die-length direction dimension L of the body 25 of a capacitor, and the crosswise dimension W as 2.23mm. Moreover, the die-length direction dimension L of the body 25 of a capacitor was set as 3.2mm, and the crosswise dimension W was set [in / both / the multilayer capacitors 22-24 shown in drawing 5 thru/or drawing 7 , respectively] as 1.6mm.

[0037] Moreover, the thickness direction dimension of the body 25 of a capacitor was set as 0.5mm about all

the multilayer capacitors 21-24.

[0038] Moreover, although not illustrated, about the internal electrode, about all the multilayer capacitors 21-24, 4 stratification was carried out and lap area was mutually made the same, and it set up so that the electrostatic capacity of 8.9pF might be obtained. Moreover, thickness of a dielectric layer was set to 0.1mm about all the multilayer capacitors 21-24, and specific inductive capacity constituted the dielectric layer using the dielectric of 10.

[0039] Moreover, these [1st] and the 2nd external terminal electrode 30 and 31 have been arranged by turns about all the multilayer capacitors 21-24, setting each width of face of the 1st and 2nd external terminal electrodes 30 and 31 to 0.2mm.

[0040] Moreover, in multilayer capacitors 21-23, the sum total of the number of the 1st and 2nd external terminal electrodes 30 and 31 was set to 8, and this was set to 12 in the multilayer capacitor 24.

[0041] When ESL was calculated about the multilayer capacitors 21-24 produced as mentioned above, in the multilayer capacitor 21 shown in drawing 4 concerning the operation gestalt of this invention, resonance frequency was set to 8.9GHz and ESL was set to 36pH.

[0042] Moreover, in the multilayer capacitor 22 as an example of a comparison shown in drawing 5 , resonance frequency was set to 5.0GHz and ESL was set to 114pH.

[0043] Moreover, in the multilayer capacitor 23 as an example of a comparison shown in drawing 6 , resonance frequency was set to 6.2GHz and ESL was set to 74pH.

[0044] Moreover, in the multilayer capacitor 24 as an example of a comparison shown in drawing 7 , resonance frequency was set to 8.0GHz and ESL was set to 45pH.

[0045] Thus, it turns out that the multilayer capacitor 21 with which the longitudinal direction dimension L and the crosswise dimension W are equipped with the equal body 25 of a capacitor of each other can make ESL low also to any of the multilayer capacitors 22-24 with which the longitudinal direction dimension L is equipped with the body 25 of a capacitor longer than the crosswise dimension W. In addition, although latter one has many external terminal electrodes 30 and 31 when a multilayer capacitor 21 is compared with a multilayer capacitor 24, it should take notice of especially the thing acquired for lower ESL in the former.

[0046] next, the die-length direction dimension and the crosswise dimension of the body of a capacitor -- mutual -- etc. -- ESL the number of the die-length direction dimension of the body of a capacitor and a crosswise dimension, i.e., the flat-surface dimension of a body, and the cash-drawer sections to each side of each internal electrode and at the time of pulling out, and boiling and changing various width of face of the section to spread was calculated, carrying out. The result is shown in following Table 1.

[0047]

[Table 1]

試料番号	本体平面寸法	各内部電極の各面への引出し部の数	引出し部幅	ESL
1	1.5mm□	2	0.1mm	63.6pH
2	1.5mm□	2	0.2mm	47.6pH
3	2.0mm□	2	0.5mm	36.1pH
4	2.0mm□	3	0.1mm	28.4pH
5	2.0mm□	3	0.2mm	19.7pH
6	2.0mm□	4	0.05mm	20.1pH

[0048] Table 1 shows the following.

[0049] First, speaking of the relation between the number of the cash-drawer sections to each side of each internal electrode, and ESL, the inclination for ESL to become small appears as the number of the cash-drawer sections increases. This is for the parts which the distributed degree of a current is raised and offset electric field to increase in number by increasing the number of the cash-drawer sections, i.e., the number of external terminal electrodes.

[0050] However, if it pulls out about each internal electrode and the number of the sections is set to 4 so that it may understand, if the samples 5 and 6 in Table 1 are compared, as compared with the case of 3, the downward tendency of ESL will be stabilizing. this increases the number of the cash-drawer sections -- alike -- following -- the width of face of the cash-drawer section -- narrow -- not becoming -- it is because the effectiveness which did not obtain but was narrowed in this way and which it will pull out, and electric field will concentrate on the section, consequently will raise ESL, and increases the number of the cash-drawer sections is reduced.

[0051] Moreover, ESL can be made low, so that it may understand and the width of face of the cash-drawer

section is wide, when the number of the cash-drawer sections is equal when the relation between the width of face of the cash-drawer section and ESL is seen, if the samples 1 and 2 in Table 1 are compared or samples 4 and 5 are compared. This is because an inductance component becomes small and the degree of electric-field concentration can weaken, so that the width of face of the cash-drawer section is wide.

[0052] Thus, when the width of face of the cash-drawer section is taken into consideration, as for the number of the cash-drawer sections to each side of each internal electrode, it is desirable that it is four or less.

[0053] as mentioned above, although explained in relation to the operation gestalt illustrating this invention, various the numbers and locations of an external terminal electrode can be boiled, corresponding to it in boiling and changing various the numbers and locations of the cash-drawer section of an internal electrode ****, for example, it can change within the limits of this invention.

[0054] Moreover, the number of the cash-drawer sections pulled out by the 1st and 2nd side faces of the body of a capacitor, respectively and the number of the external terminal electrodes corresponding to it do not necessarily have to be made equal to the number of the cash-drawer sections pulled out by even the 1st and 2nd end faces of the body of a capacitor, and the number of the external terminal electrodes corresponding to it. For example, though the four cash-drawer sections are pulled out and four external terminal electrodes are prepared, the two cash-drawer sections may be pulled out by the 1st and 2nd end faces, and two external terminal electrodes may be prepared in the 1st and 2nd side faces of the body of a capacitor.

[0055] Moreover, although not illustrated especially, in order to obtain bigger electrostatic capacity, the number of the parts of the 1st internal electrode and the 2nd internal electrode which counter is made into plurality, and two or more capacitor units may be formed. Thus, when the number of the parts of the 1st internal electrode and the 2nd internal electrode which counter is made into plurality, parallel connection of two or more capacitor units will be carried out with an external terminal electrode.

[0056]

[Effect of the Invention] As mentioned above, it sets to the multilayer capacitor concerning this invention. The die-length direction dimension and the crosswise dimension of the body of a capacitor are substantially made equal, and it is made for an internal electrode to have a square pattern substantially. The 1st internal electrode The 1st cash-drawer section of two side faces of the body of a capacitor and two end faces pulled out even upwards, respectively is formed respectively. The 2nd internal electrode also forms respectively the 2nd cash-drawer section of two side faces of the body of a capacitor, and two end faces pulled out even upwards, respectively. The 2nd external terminal electrode electrically connected to the 1st external terminal electrode electrically connected to the 1st cash-drawer section, respectively, and the 2nd cash-drawer section, respectively While standing in a line by turns on the side face of the body of a capacitor, and an end face, it is arranged so that so-called difference may counter mutually through the body of a capacitor at the front.

[0057] Therefore, speaking of the current which connects between the current which connects between two side faces, and two end faces, the current which flows by the 1st and 2nd external terminal inter-electrode in the multilayer capacitor concerning this invention can turn the current which can turn to hard flow what adjoins each other mutually, and connects between two side faces, and the current which connects between two end faces in the direction which intersects perpendicularly mutually. And the path length of a current which connects between two side faces to the path length of a current which connects between two side faces can be made equal mutually substantially.

[0058] Since it is such, the magnetic flux by which induction is carried out is effectively offset by these currents, and can make ESL of a multilayer capacitor small according to them. Therefore, the resonance frequency of a multilayer capacitor can be raised. This can mean that-izing of the frequency region which functions as a capacitor of a multilayer capacitor can be carried out [high frequency], and can respond now to high frequency-ization of the electronic circuitry where such a multilayer capacitor is applied enough.

[0059] In this invention, if it has the two or more 1st and 2nd cash-drawer sections, 1st, and 2nd external terminal electrodes respectively about each of two side faces of the body of a capacitor, and two end faces, low ESL-ization can be attained more.

[0060] Moreover, in this invention, low ESL-ization can be attained for the degree of the electric-field concentration which is pulled out and produced in the section more certainly with slight weakness, without [therefore] narrowing width of face of the cash-drawer section, if it has the four or less 1st and 2nd cash-drawer sections, 1st, and 2nd external terminal electrodes respectively about each of two side faces of the body of a capacitor, and two end faces.

[0061] Moreover, in this invention, if the number of the parts of the 1st internal electrode and the 2nd internal electrode which counter is made into plurality so that two or more capacitor units by which parallel connection was carried out with the 1st and 2nd external terminal electrodes may be formed, it is effective in a miniaturization and high-capacity-izing of a multilayer capacitor.

[Translation done.]

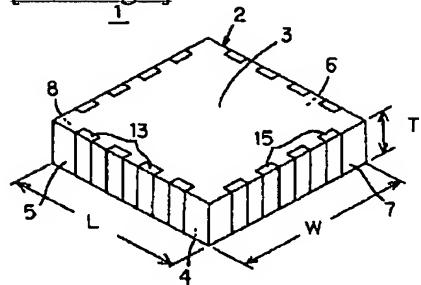
* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

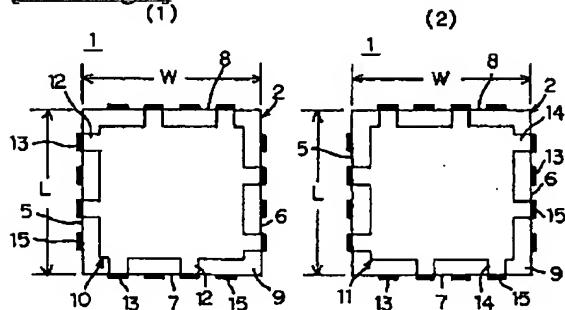
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

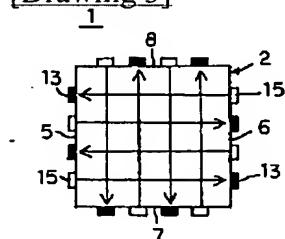
[Drawing 1]



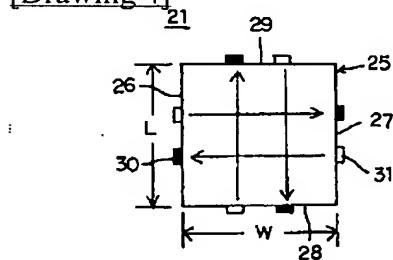
[Drawing 2]



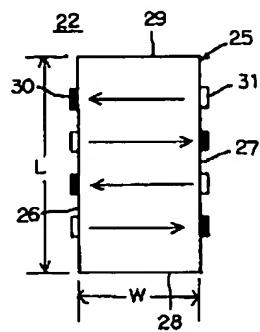
[Drawing 3]



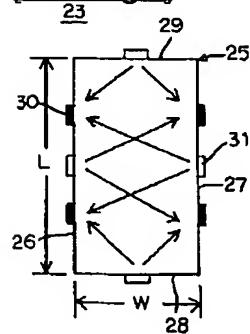
[Drawing 4]



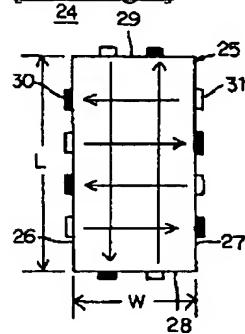
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323354

(P 2 0 0 0 - 3 2 3 3 5 4 A)

(43) 公開日 平成12年11月24日(2000.11.24)

(51) Int. Cl. 7

H 01 G 4/30
4/12

識別記号

301
352

F I

H 01 G 4/30
4/12

301 D
352

マークド (参考)

5E001
5E082

審査請求 有 請求項の数4 OL (全7頁)

(21) 出願番号

特願平11-127908

(22) 出願日

平成11年5月10日(1999.5.10)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 黒田 哲一

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 内藤 康行

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100085143

弁理士 小柴 雅昭 (外1名)

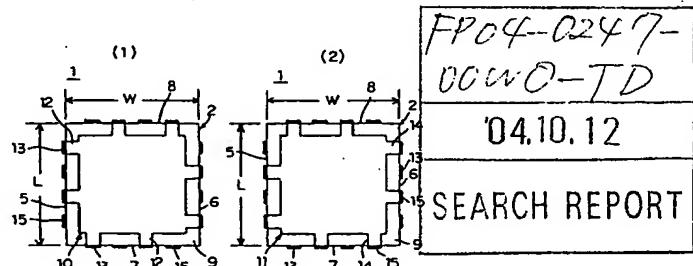
最終頁に続く

(54) 【発明の名称】 積層コンデンサ

(57) 【要約】

【課題】 積層コンデンサの等価直列インダクタンスを低減する。

【解決手段】 コンデンサ本体2の長さ方向寸法Lと幅方向寸法Wとを実質的に等しくしながら、互いに対向する第1および第2の内部電極10および11の各バターンを実質的に正方形とする。第1の内部電極10の第1の引出し部12および第2の内部電極11の第2の引出し部14を、ともに、2つの側面5、6および2つの端面7、8の各々上にまでそれぞれ引き出すように形成し、第1の引出し部12に接続される第1の外部端子電極13と第2の引出し部14に接続される第2の外部端子電極15とを、交互に並ぶようにするとともに、コンデンサ本体2を介して互いに正面で対向するように配置する。



【特許請求の範囲】

【請求項1】 長さ方向寸法、幅方向寸法および厚み方向寸法によって規定され、かつ前記長さ方向寸法と前記幅方向寸法とが実質的に等しい、四角柱状をなしており、前記長さ方向寸法および前記幅方向寸法によって規定される相対向する第1および第2の正面、前記長さ方向寸法および前記厚み方向寸法によって規定される相対向する第1および第2の側面、ならびに、前記幅方向寸法および前記厚み方向寸法によって規定される相対向する第1および第2の端面を有する、コンデンサ本体を備え、

前記コンデンサ本体は、前記正面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するように特定の前記誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を備え、

前記第1および第2の内部電極は、ともに、前記コンデンサ本体の前記第1および第2の側面ならびに第1および第2の端面の各々に対して平行に延びる辺を有する、実質的に正方形のパターンをそれぞれ有し、

前記第1の内部電極は、前記第1および第2の側面ならびに第1および第2の端面の各々上にまでそれぞれ引き出される第1の引出し部を形成しており、

前記第1の引出し部が引き出された前記第1および第2の側面ならびに第1および第2の端面の各々上には、前記第1の引出し部にそれぞれ電気的に接続される第1の外部端子電極が設けられ、

前記第2の内部電極は、前記第1および第2の側面ならびに第1および第2の端面の各々上にまでそれぞれ引き出される第2の引出し部を形成しており、

前記第2の引出し部が引き出された前記第1および第2の側面ならびに第1および第2の端面の各々上には、前記第2の引出し部にそれぞれ電気的に接続される第2の外部端子電極が設けられ、

前記第1の外部端子電極と前記第2の外部端子電極とは、前記第1および第2の側面ならびに第1および第2の端面上において交互に並ぶとともに、相異なるものが前記コンデンサ本体を介して互いに正面で対向するように配置されている、積層コンデンサ。

【請求項2】 前記第1および第2の側面ならびに第1および第2の端面の各々に関して、各々複数の前記第1および第2の引出し部ならびに前記第1および第2の外部端子電極を備える、請求項1の記載の積層コンデンサ。

【請求項3】 前記第1および第2の側面ならびに第1および第2の端面の各々に関して、各々4つ以下の前記第1および第2の引出し部ならびに前記第1および第2の外部端子電極を備える、請求項1の記載の積層コンデンサ。

【請求項4】 前記第1および第2の外部端子電極によって並列接続された複数の前記コンデンサユニットを形

成するように、前記第1の内部電極と前記第2の内部電極との対向する部分の数は複数とされる、請求項1ないし3のいずれかに記載の積層コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、積層コンデンサに関するもので、特に、高周波回路において有利に適用され得る積層コンデンサに関するものである。

【0002】

【従来の技術】 この発明にとって興味ある従来の積層コンデンサとして、たとえば特開平2-256216号公報に記載されたものがある。ここに記載された積層コンデンサは、高周波域での使用に適するように、等価直列インダクタンス (E S L) の低減化が図られている。

【0003】 そのため、特定の誘電体層を介して互いに対向する各々複数の第1および第2の内部電極は、それぞれ、コンデンサ本体の相対向する2つの側面の少なくとも一方上にまで引き出される複数の引出し部を形成し、各々の引出し部に関連して、外部端子電極が設けられる。そして、これら外部端子電極は、コンデンサ本体の側面上において、第1の内部電極の複数の引出し部にそれぞれ接続される複数の第1の外部端子電極と第2の内部電極の複数の引出し部に接続される複数の第2の外部端子電極とを交互に位置するように配置される。

【0004】 このような構成において、たとえば、第1の外部端子電極の各々から第2の外部端子電極の各々に向かって電流が流れると、この電流の方向によってその方向が決まる磁束が誘起され、そのため自己インダクタンス成分が生じるが、上述のように、第1の外部端子電極と第2の外部端子電極とが交互に配置されているので、第1の外部端子電極と第2の外部端子電極とが隣り合う部分において、電流によって誘起される磁束は有利に相殺されるため、磁束の発生を低減することができる。その結果、E S Lの低減を図ることができる。

【0005】

【発明が解決しようとする課題】 しかしながら、コンデンサ本体の相対向する2つの端面上には、いずれの外部端子電極をも位置させていないので、これら2つの端面の各々の近傍においては、磁束の相殺効果を実質的に期待できず、E S Lの一層の低減の妨げとなっている。

【0006】 そこで、この発明の目的は、低E S L化をより効果的に図り得るように改良された積層コンデンサを提供しようすることである。

【0007】

【課題を解決するための手段】 この発明は、上述の技術的課題を解決するため、次のような構成を備えることを特徴としている。

【0008】 すなわち、この発明に係る積層コンデンサは、コンデンサ本体として、長さ方向寸法、幅方向寸法および厚み方向寸法によって規定され、かつ長さ方向寸

法と幅方向寸法とが実質的に等しい、四角柱状をなしており、長さ方向寸法および幅方向寸法によって規定される相対向する第1および第2の主面、長さ方向寸法および厚み方向寸法によって規定される相対向する第1および第2の側面、ならびに、幅方向寸法および厚み方向寸法によって規定される相対向する第1および第2の端面を有するものを備えている。

【0009】また、このコンデンサ本体は、主面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するように特定の誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を備えている。これら第1および第2の内部電極は、ともに、コンデンサ本体の第1および第2の側面ならびに第1および第2の端面の各々に対して平行に延びる辺を有する、実質的に正方形のパターンをそれぞれ有している。

【0010】また、第1の内部電極は、第1および第2の側面ならびに第1および第2の端面の各々上にまでそれぞれ引き出される第1の引出し部を形成しており、第1の引出し部が引き出された第1および第2の側面ならびに第1および第2の端面の各々上には、第1の引出し部にそれぞれ電気的に接続される第1の外部端子電極が設けられる。

【0011】他方、第2の内部電極は、第1および第2の側面ならびに第1および第2の端面の各々上にまでそれぞれ引き出される第2の引出し部を形成しており、第2の引出し部が引き出された第1および第2の側面ならびに第1および第2の端面の各々上には、第2の引出し部にそれぞれ電気的に接続される第2の外部端子電極が設けられる。

【0012】そして、第1の外部端子電極と第2の外部端子電極とは、第1および第2の側面ならびに第1および第2の端面上において交互に並ぶとともに、相異なるものがコンデンサ本体を介して互いに正面で対向するように配置されている。

【0013】この発明において、第1および第2の側面ならびに第1および第2の端面の各々に関して、各々複数の第1および第2の引出し部ならびに第1および第2の外部端子電極を備えることが好ましい。

【0014】また、この発明において、第1および第2の側面ならびに第1および第2の端面の各々に関して、各々4つ以下（合計）の第1および第2の引出し部ならびに第1および第2の外部端子電極を備えることがより好ましい。

【0015】また、この発明において、好ましくは、第1および第2の外部端子電極によって並列接続された複数のコンデンサユニットを形成するように、第1の内部電極と第2の内部電極との対向する部分の数は複数とされる。

【0016】

【発明の実施の形態】図1ないし図3は、この発明の一

実施形態による積層コンデンサ1を説明するためのもので、図1は、積層コンデンサ1の外観を示す斜視図であり、図2は、積層コンデンサ1の内部構造を特定の断面をもって示す平面図であり、図2において、（1）と（2）とは互いに異なる断面が表わされている。また、図3は、積層コンデンサ1において流れる電流の典型的な経路および方向を矢印で示す平面図である。

【0017】積層コンデンサ1は、長さ方向寸法L、幅方向寸法Wおよび厚み方向寸法Tによって規定される、四角柱状をなすコンデンサ本体2を備えている。コンデンサ本体2は、長さ方向寸法Lおよび幅方向寸法Wによって規定される相対向する第1および第2の主面3および4、長さ方向寸法Lおよび厚み方向寸法Tによって規定される相対向する第1および第2の側面5および6、ならびに、幅方向寸法Wおよび厚み方向寸法Tによって規定される相対向する第1および第2の端面7および8を有している。

【0018】また、コンデンサ本体2は、主面3および4の方向に延びる複数の誘電体層9、ならびにコンデンサユニットを形成するように特定の誘電体層9を介して互いに対向する少なくとも1対の第1および第2の内部電極10および11を備えている。

【0019】図2（1）は、第1の内部電極10が通る断面を示し、また、図2（2）は、第2の内部電極11が通る断面を示している。

【0020】この積層コンデンサ1において、コンデンサ本体2の長さ方向寸法Lと幅方向寸法Wとは実質的に等しくされる。また、第1および第2の内部電極10および11は、ともに、コンデンサ本体2の第1および第2の側面5および6ならびに第1および第2の端面7および8の各々に対して平行に延びる辺を有する、実質的に正方形のパターンをそれぞれ有している。

【0021】また、図2（1）に示すように、第1の内部電極10は、第1および第2の側面5および6ならびに第1および第2の端面7および8の各々上にまでそれぞれ引き出される第1の引出し部12を形成している。

【0022】そして、第1の引出し部12が引き出された第1および第2の側面5および6ならびに第1および第2の端面7および8の各々上には、第1の引出し部12にそれぞれ電気的に接続される第1の外部端子電極13が設けられる。

【0023】他方、図2（2）に示すように、第2の内部電極11は、第1および第2の側面5および6ならびに第1および第2の端面7および8の各々上にまでそれぞれ引き出される第2の引出し部14を形成している。

【0024】そして、第2の引出し部14が引き出された第1および第2の側面5および6ならびに第1および第2の端面7および8の各々上には、第2の引出し部14にそれぞれ電気的に接続される第2の外部端子電極15が設けられる。

【0025】以上のような積層コンデンサ1において、第1および第2の引出し部12および14ならびに第1および第2の外部端子電極13および15の配置状態の特徴について、以下に説明する。

【0026】まず、この実施形態では、第1および第2の側面5および6ならびに第1および第2の端面7および8の各々に関して、各々2つずつの第1および第2の引出し部12および14ならびに第1および第2の外部端子電極13および15を備えている。

【0027】また、コンデンサ本体2を、第1の側面5、第1の端面7、第2の側面6、第2の端面8の順序で一方向に見たとき、第1の引出し部12と第2の引出し部14とは交互に並んでおり、したがって、第1の外部端子電極13と第2の外部端子電極15とは、第1および第2の側面5および6ならびに第1および第2の端面7および8において交互に並んでいる。

【0028】また、第1の外部端子電極13と第2の外部端子電極15とは、コンデンサ本体2を介して互いに正面で対向するように配置されている。

【0029】以上のような第1および第2の引出し部12および14ならびに第1および第2の外部端子電極13および15の配置状態は、この積層コンデンサ1において流れる電流によって誘起される磁束を効果的に相殺し、ESLの低減に寄与させることができる。

【0030】図3に示すように、電流は、図示した状態あるいは時点では、第2の外部端子電極15から第1の外部端子電極13に向かって流れている。なお、図3では、第1の外部端子電極13を黒塗りで示し、第2の外部端子電極15を白抜きで示している。

【0031】第1および第2の外部端子電極13の配置状態が前述のように選ばれているので、図3からわかるように、互いに平行に向く電流は、互いに隣り合うものの間で逆方向に流れることになる。また、第1および第2の側面5および6間で流れる電流と第1および第2の端面7および8間で流れる電流とは互いに直交している。このようなことから、これら各電流によって誘起される磁束は効果的に相殺され、低ESL化を図ることができる。

【0032】また、前述したように、コンデンサ本体2の長さ方向寸法Lと幅方向寸法Wとが実質的に等しく、内部電極10および11が実質的に正方形のパターンをそれぞれ有しているので、図3に示した電流の経路長についていえば、第1および第2の側面5および6間を結ぶ電流と第1および第2の端面7および8間を結ぶ電流とは互いに実質的に等しい経路長を有している。このように、互いに直交する電流の各経路長を実質的に均等にすることにより、磁束の相殺効果がより高められ、その結果、ESLのさらなる低減を図ることができる。

【0033】上述したようなこの発明によるESLの低減効果を確認するため、以下のような実験を実施した。

【0034】図4ないし図7は、それぞれ、図3に相当する図であって、この実験において作製された積層コンデンサ21～24を示している。図4ないし図7において、コンデンサ本体を共通の参照符号「25」で示し、第1および第2の側面をそれぞれ共通の参照符号「26」および「27」で示し、第1および第2の端面をそれぞれ共通の参照符号「28」および「29」で示し、第1および第2の外部端子電極をそれぞれ共通の参照符号「30」および「31」で示している。

【0035】この実験において、図4に示した積層コンデンサ21は、この発明の実施形態に係るもので、図5ないし図7に示した積層コンデンサ22～24は、比較例である。

【0036】図4に示した積層コンデンサ21において、コンデンサ本体25の長さ方向寸法Lおよび幅方向寸法Wは、双方とも、2.23mmに設定した。また、図5ないし図7にそれぞれ示した積層コンデンサ22～24においては、ともに、コンデンサ本体25の長さ方向寸法Lを3.2mmに設定し、幅方向寸法Wを1.6mmに設定した。

【0037】また、積層コンデンサ21～24のすべてについて、コンデンサ本体25の厚み方向寸法を0.5mmに設定した。

【0038】また、図示しないが、内部電極については、積層コンデンサ21～24のすべてについて、4層形成し、重なり面積を互いに同じとし、8.9pFの静電容量を得るように設定した。また、誘電体層の厚みを、積層コンデンサ21～24のすべてについて、0.1mmとし、比誘電率が10の誘電体を用いて誘電体層を構成した。

【0039】また、積層コンデンサ21～24のすべてについて、第1および第2の外部端子電極30および31の各幅を0.2mmとしながら、これら第1および第2の外部端子電極30および31を交互に配置した。

【0040】また、積層コンデンサ21～23においては、第1および第2の外部端子電極30および31の数の合計を8とし、積層コンデンサ24においては、これを12とした。

【0041】上述のように作製された積層コンデンサ21～24についてESLを求めたところ、この発明の実施形態に係る図4に示した積層コンデンサ21では、共振周波数が8.9GHzとなり、ESLが36pHとなった。

【0042】また、図5に示した比較例としての積層コンデンサ22では、共振周波数が5.0GHzとなり、ESLが114pHとなった。

【0043】また、図6に示した比較例としての積層コンデンサ23では、共振周波数が6.2GHzとなり、ESLが74pHとなった。

【0044】また、図7に示した比較例としての積層

ンデンサ24では、共振周波数が8.0GHzとなり、ESLが45pHとなった。

【0045】このように、長手方向寸法Lと幅方向寸法Wとが互いに等しいコンデンサ本体25を備える積層コンデンサ21は、長手方向寸法Lが幅方向寸法Wより長いコンデンサ本体25を備える積層コンデンサ22～24のいずれに対しても、ESLを低くできることがわかる。なお、積層コンデンサ21と積層コンデンサ24とを比較したとき、後者の方が外部端子電極30および31の数が多いにもかかわらず、前者においてより低いE

試料番号	本体平面寸法	各内部電極の各面への引出し部の数	引出し部幅	ESL
1	1.5mm□	2	0.1mm	63.6pH
2	1.6mm□	2	0.2mm	47.6pH
3	2.0mm□	2	0.5mm	36.1pH
4	2.0mm□	3	0.1mm	26.4pH
5	2.0mm□	3	0.2mm	19.7pH
6	2.0mm□	4	0.05mm	20.1pH

【0048】表1から、次のようなことがわかる。

【0049】まず、各内部電極の各面への引出し部の数とESLとの関係について言えば、引出し部の数が増えるに従い、ESLが小さくなる傾向が現れる。これは、引出し部の数すなわち外部端子電極の数を増やすことによって、電流の分散度合いが高められ、電界を相殺する箇所が増えるためである。

【0050】しかしながら、表1における試料5および6を比較すればわかるように、各内部電極についての引出し部の数が4になると、3の場合と比較して、ESLの減少傾向は横ばいとなる。これは、引出し部の数を増やすに従い、引出し部の幅が狭くならざるを得ず、このように狭くされた引出し部に電界が集中し、その結果、ESLを高めることになり、引出し部の数を増やす効果を減殺しているためである。

【0051】また、引出し部の幅とESLとの関係を見ると、表1における試料1および2を比較したり、試料4および5を比較したりすればわかるように、引出し部の数が等しい場合、引出し部の幅が広いほど、ESLを低くできる。これは、引出し部の幅が広いほど、インダクタンス成分が小さくなり、電界集中の度合いが弱められるためである。

【0052】このように、引出し部の幅を考慮したとき、各内部電極の各面への引出し部の数は、4以下であることが好ましい。

【0053】以上、この発明を図示した実施形態に関連して説明したが、この発明の範囲内において、たとえば、内部電極の引出し部の数や位置を種々に変更したり、それに応じて、外部端子電極の数や位置を種々に変更したりすることができる。

【0054】また、コンデンサ本体の第1および第2の側面にそれぞれ引き出される引出し部の数およびそれに

SLが得られていることに特に注目すべきである。

【0046】次に、コンデンサ本体の長さ方向寸法と幅方向寸法とを互いに等しくしながら、コンデンサ本体の長さ方向寸法および幅方向寸法すなわち本体平面寸法、各内部電極の各面への引出し部の数、ならびに引出し部の幅を種々に変えた場合におけるESLを求めた。以下の表1には、その結果が示されている。

【0047】

【表1】

20 対応する外部端子電極の数は、コンデンサ本体の第1および第2の端面にまで引き出される引出し部の数およびそれに対応する外部端子電極の数に対して、必ずしも等しくされる必要はない。たとえば、コンデンサ本体の第1および第2の側面には、4つの引出し部が引き出され4つの外部端子電極が設けられながらも、第1および第2の端面には2つの引出し部が引き出され2つの外部端子電極が設けられてもよい。

30 【0055】また、特に図示しなかったが、より大きな静電容量を得るために、第1の内部電極と第2の内部電極との対向する部分の数が複数とされ、複数のコンデンサユニットを形成するようにされてもよい。このように、第1の内部電極と第2の内部電極との対向する部分の数が複数とされたときには、複数のコンデンサユニットは、外部端子電極によって並列接続されることになる。

【0056】

40 【発明の効果】以上のように、この発明に係る積層コンデンサにおいては、コンデンサ本体の長さ方向寸法と幅方向寸法とが実質的に等しくされ、また、内部電極が実質的に正方形のパターンを有するようにされ、第1の内部電極は、コンデンサ本体の2つの側面および2つの端面の各々上にまでそれぞれ引き出される第1の引出し部を形成し、第2の内部電極も、コンデンサ本体の2つの側面および2つの端面の各々上にまでそれぞれ引き出される第2の引出し部を形成し、第1の引出し部にそれぞれ電気的に接続される第1の外部端子電極と第2の引出し部にそれぞれ電気的に接続される第2の外部端子電極とは、コンデンサ本体の側面および端面上において交互に並ぶとともに、相異なるものがコンデンサ本体を介して互いに正面で対向するように配置されている。

【0057】したがって、この発明に係る積層コンデンサにおいて第1および第2の外部端子電極間で流れる電

50

流は、2つの側面間を結ぶ電流および2つの端面間を結ぶ電流について言えば、互いに隣り合うものを逆方向に向けることができ、また、2つの側面間を結ぶ電流と2つの端面間を結ぶ電流とを互いに直交する方向に向けることができる。しかも、2つの側面間を結ぶ電流の経路長と2つの側面間を結ぶ電流の経路長を互いに実質的に等しくすることができる。

【0058】このようなことから、これら電流によって誘起される磁束が効果的に相殺され、積層コンデンサのESLを小さくすることができる。そのため、積層コンデンサの共振周波数を高めることができる。このことは、積層コンデンサのコンデンサとして機能する周波数域を高周波化できることを意味し、このような積層コンデンサが適用される電子回路の高周波化に十分対応することができるようになる。

【0059】この発明において、コンデンサ本体の2つの側面および2つの端面の各々に関して、各々複数の第1および第2の引出し部ならびに第1および第2の外部端子電極を備えるようにすれば、低ESL化をより図ることができる。

【0060】また、この発明において、コンデンサ本体の2つの側面および2つの端面の各々に関して、各々4つ以下の第1および第2の引出し部ならびに第1および第2の外部端子電極を備えるようにすれば、引出し部の幅を狭くすることなく、したがって引出し部に生じる電界集中の度合いを弱めながら、より確実に低ESL化を図ることができる。

【0061】また、この発明において、第1および第2の外部端子電極によって並列接続された複数のコンデンサユニットを形成するように、第1の内部電極と第2の内部電極との対向する部分の数が複数にされると、積層コンデンサの小型化かつ高容量化に有効である。

【図面の簡単な説明】

【図1】この発明の一実施形態による積層コンデンサ1

の外観を示す斜視図である。

【図2】図1に示した積層コンデンサ1の内部構造を示す平面図であり、(1)は第1の内部電極10が通る断面をもって示し、(2)は第2の内部電極11が通る断面をもって示している。

【図3】図1に示した積層コンデンサ1において流れる典型的な電流およびその方向を図解的に示す平面図である。

【図4】この発明の効果を確認するために実施された実験例において作製されたこの発明の実施形態に係る積層コンデンサ21を示す、図3に相当する図である。

【図5】同じく実験例において比較例として作製された積層コンデンサ22を示す、図3に相当する図である。

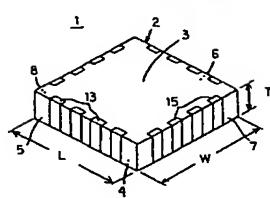
【図6】同じく実験例において比較例として作製された積層コンデンサ23を示す、図3に相当する図である。

【図7】同じく実験例において比較例として作製された積層コンデンサ24を示す、図3に相当する図である。

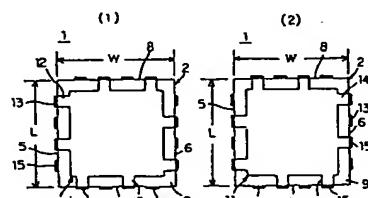
【符号の説明】

1	積層コンデンサ
2	コンデンサ本体
3	第1の正面
4	第2の正面
5	第1の側面
6	第2の側面
7	第1の端面
8	第2の端面
9	誘電体層
10	第1の内部電極
11	第2の内部電極
12	第1の引出し部
13	第1の外部端子電極
14	第2の引出し部
15	第2の外部端子電極

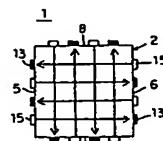
【図1】



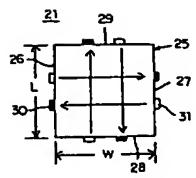
【図2】



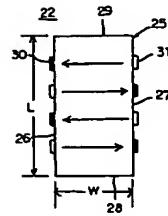
【図3】



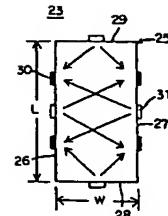
【図4】



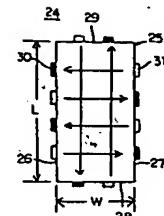
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 谷口 政明
 京都府長岡市天神二丁目26番10号 株式
 会社村田製作所内
 (72)発明者 堀 晴雄
 京都府長岡市天神二丁目26番10号 株式
 会社村田製作所内

(72)発明者 近藤 隆則
 京都府長岡市天神二丁目26番10号 株式
 会社村田製作所内
 Fターム(参考) 5E001 AB03 AC03 AJ01
 5E082 AA01 AB03 BB05 BC14 CC17
 EE04 EE35 FF05 FG06 FG26
 GG10 GG28